



⑩ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 03 366 A 1**

⑤ Int. Cl.⁷:
H 04 L 12/50

② Aktenzeichen: 199 03 366.8
② Anmeldetag: 28. 1. 1999
④ Offenlegungstag: 17. 8. 2000

DE 199 03 366 A 1

⑦① Anmelder:
Siemens AG, 80333 München, DE

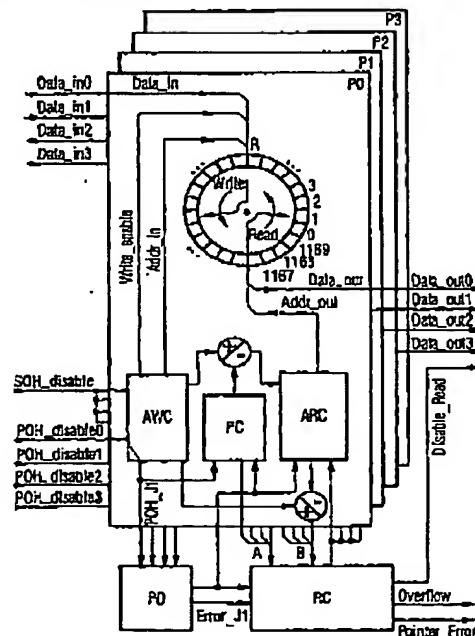
⑦② Erfinder:
Mariggis, Athanase, Dipl.-Ing., 81379 München, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Verfahren zum Umsetzen von Nx-STM-1 Signalen in STM-N Signale

⑤⑦ Bei der Übertragung von SDH-Signalen werden Signale höherer Ordnung wie STM-N ($N > 1$) Signale übertragen. Um Durchschaltprobleme bei den bislang verwendeten STM-1 Koppelfeldern zu vermeiden, werden nach dem bekannten Virtual Concatenation Mode die STM-N Signale in N STM-1 Signale aufgespalten. Diese durchlaufen aber unterschiedliche Pfade im Netz, was zu unterschiedlichen Laufzeiten führt. Die Erfindung löst die Problematik, indem FIFO Speichereinrichtungen empfangsseitig mit einer relativen Adressierung angesprochen werden, um die dort gespeicherten Nutzdaten auszulesen.



DE 199 03 366 A 1

DE 199 03 366 A 1

1

Beschreibung

Die Erfindung betrifft ein Verfahren gemäß dem Oberbegriff von Patentanspruch 1.

Zeitgemäße Übertragungsverfahren werden in der Regel in Übertragungsverfahren unterteilt, die Informationen nach einem synchronen Transfermodus (STM) oder asynchronen Transfermodus (ATM) übertragen.

Der synchrone Transfermodus STM basiert auf der Übertragung von Informationen in SDH-Übertragungstechnik (Synchrone Digitale Hierarchie). Hierbei werden die zu Informationen in Rahmen (Frame) übertragen. Diese sind in ein Steuerfeld (SOH, Section Overhead: POH, Path Overhead) und ein Containerfeld unterteilt. In ersterem werden die Verbindung betreffende Steuerinformationen übertragen, während in letzterem Nutzdaten (Payload) abgelegt sind. Als Nutzdaten können dabei auch ATM-Zellen verwendet werden. Diese müssen dann zu Beginn des Übertragungsvorgangs in die Rahmenstruktur eingeordnet und empfangsseitig wieder entnommen werden. Als Steuerinformationen kommen beispielsweise Informationen bezüglich der Sicherheit der Übertragung, Bitfehler, Leitungsausfall, Taktgenauigkeit etc. in Betracht.

Das Steuerfeld weist zwei Unterbereiche SOH und POH auf. Der mit SOH bezeichnete Unterbereich weist Steuerinformationen bezüglich eines Übertragungsabschnittes (beispielsweise zwischen zwei Vermittlungseinrichtungen) auf, während in dem mit POH bezeichneten Unterbereich Steuerinformationen zwischen zwei Teilnehmern (end-to-end) übertragen werden.

Die Übertragung von Informationen mittels der SDH-Übertragungstechnik setzt eine hohe Taktgenauigkeit voraus. Treten während des Übertragungsvorganges Taktungenauigkeiten beispielsweise aufgrund von Laufzeitschwankungen auf oder sind durch unterschiedlichen Ländergegebenheiten unterschiedliche Takte definiert, so verschieben sich die empfangenen Container über die Rahmen hinweg. Ein Rahmen kann daher noch einen Teil der Nutzinformation des letzten Containers sowie einen Teil des eigenen Containers beinhalten.

Bei zeitgemäßen Synchronen Übertragungssystemen werden STM-1 Schnittstellen verwendet. Eine STM-1 Schnittstelle wird physikalisch durch eine Verbindung zwischen zwei SDH-Vermittlungseinrichtungen repräsentiert. Die STM-1 Schnittstelle ist damit die Basis der SDH-Übertragung. Aus diesem Grunde sind die in der SDH-Vermittlungseinrichtung angeordneten SDH-Koppelfelder beim Stand der Technik momentan auf die Durchschaltung von STM-1 Signalen ausgelegt.

Zukünftig sollen aber Signale höherer Ordnung wie STM-N ($N > 1$) Signale übertragen werden. Dadurch ergeben sich Durchschaltprobleme bei den bislang verwendeten SDH-Koppelfeldern. Eine beim Stand der Technik bekannte Methode, diese Probleme zu umgehen ist der Virtual Concatenation Mode. Dabei handelt es sich um eine standardisierte Methode, mit der beispielsweise STM-4 Signale auf 4 STM-1 Signale aufgespalten werden. Während der Übertragung werden damit 4 STM-1 Signale dem empfangenden Switch zugeführt, durchgeschaltet und anschließend wieder zu einem STM-4 Signal zusammengesetzt.

Dabei durchlaufen aber die $N \times$ STM-1 Signale unterschiedliche Pfade im Netz. Zwar werden die $N \times$ STM-1 Signale gleichzeitig ausgesendet, sie treffen jedoch aufgrund von unterschiedlichen Laufzeiten zu unterschiedlichen Zeiten bei der empfangenden Vermittlungsstelle ein. Das Umsetzen der STM-1 Signale in $N \times$ STM-1 Signale erfordert aber ein zeitgleiches Eintreffen der STM-1 Signale. Beim Stand der Technik, werden zur Lösung dieses Problems

2

Speichereinrichtungen wie beispielsweise FIFO Speichereinrichtungen verwendet, um die Container in der richtigen Reihenfolge wieder zu gewinnen. Die FIFO Speichereinrichtungen müssen zu diesem Zweck absolut adressiert werden, was einen erhöhten Aufwand bedeutet, da zum einen die absoluten Adressen stets irgendwo gespeichert sein müssen und zum anderen ein \pm Bereich vorgehalten werden muß. In der Praxis ist damit ein erhöhter Steuerungsaufwand verbunden.

Der Erfindung liegt die Aufgabe zugrunde, einen Weg aufzuzeigen, wie die über unterschiedliche Pfade gesendeten STM-1 Signale empfangsseitig auf praktikable Weise regeneriert und weitergeleitet werden können.

Die Erfindung wird ausgehend von den im Oberbegriff von Patentanspruch 1 angegebenen Merkmalen durch die im kennzeichnenden Teil angegebenen Merkmale gelöst.

Vorteilhaft an der Erfindung ist insbesondere eine relative dynamische Verknüpfung zwischen Schreibadressen und Leseadressen der FIFO Speichereinrichtungen. Dadurch wird eine ständige absolute Kontrolle der Schreib- bzw. Leseadressen überflüssig. Weiterhin ist mit einer derartigen Vorgehensweise ein Gewinn an Dynamik beim Umsetzungsvorgang verbunden. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Die Erfindung wird im folgenden anhand eines Ausführungsbeispiels näher erläutert. Es zeigen

Fig. 1 ein SDH-Container gemäß des Standes der Technik.

Fig. 2 die Container einer STM-4-Schnittstelle,

Fig. 3 eine Schaltungsanordnung auf der das erfindungsgemäße Verfahren zum Ablauf gelangt,

Fig. 4 das Auslesen der Nutzdaten aus den FIFO Speichereinrichtungen gemäß dem erfindungsgemäßen Verfahren,

Fig. 5 die in den FIFO Speichereinrichtungen zu unterschiedlichen Zeiten eintreffenden Markierungen.

In Fig. 1 ist die Struktur eines SDH-Übertragungsrahmens aufgezeigt. Demgemäß sind beispielhaft zwei SDH-Rahmen F_1 , F_2 aufgezeigt. Die Steuerinformationen sind in den Steuerfeldern SOH, POH abgelegt. Die Nutzinformationen werden in einem Container CON übertragen. Gemäß voranstehendem Ausführungsbeispiel soll es sich dabei um einen virtuellen Container VC-4 handeln. Dies bedeutet, daß die hier übertragenen Nutzinformationen mit einer Nutzdatenbitrate von 149 Mbit/s übertragen werden.

Ein Rahmen ist aus insgesamt 9 Zeilen aufgebaut. Das Steuerfeld SOH weist pro Zeile eine Breite von 9 Byte auf. Der Container CON weist pro Zeile eine Breite von 260 Byte und das Steuerfeld POH 1 Byte pro Zeile auf. Insgesamt ergibt sich damit für einen SDH-Rahmen eine Größe von 2430 Bytes ($9 \times (9 + 1 + 260)$), wobei 2340 Bytes für die Übertragung von Nutzdaten vorgesehen sind.

Mit einer Markierung J_1 wird der Anfang des Containers CON in dem betreffenden Rahmen bezeichnet. Die Lage der Markierung J_1 wird in einem speziellen Pointerfeld H_1 , H_2 , H_3 des Steuerfeldes SOH abgespeichert, wodurch ein Zeiger gebildet wird. Dieser Zeiger verweist auf die Lage der Markierung J_1 . Die im Steuerfeld SOH abgelegten Steuerinformationen werden stets an derselben Stelle abgelegt. Aufgrund von Taktungenauigkeiten kann der Container CON über die Rahmengrenzen F_1 , F_2 hinwegwandern. Gleiches gilt damit auch für das Steuerfeld POH. In Fig. 1 markiert die Markierung J_1 den Anfang des Containers CON des Rahmens F_1 . Der Anfang des Containers des Rahmens F_2 wird durch eine weitere Markierung J_1 des Rahmens F_2 definiert. Damit sind die im Container des Rahmens F_1 enthaltenen Nutzdaten über die Rahmengrenzen hinweg gleichfalls Teil des Rahmens F_2 .

DE 199 03 366 A 1

3

In Fig. 2 sind die Verhältnisse für eine STM-4 Schnittstelle aufgezeigt. Die STM-4 Signale sind hier in 4 STM-1 Signale aufgespalten worden. Aufgrund von Taktungenauigkeiten findet auch hier ein Wandern der Container über Rahmengrenzen hinweg statt. Der Beginn der einzelnen Container ist in Fig. 2 durch 4 J_1 Zeiger aufgezeigt, die zu den Rahmen $F_1 \dots F_4$ gehören. Dies hat seinen Ursprung darin, daß die 4 STM-1 Signale zwar gleichzeitig ausgesendet wurden, allerdings auf den jeweiligen Wegen Laufzeitunterschiede erfahren haben. Aus diesem Grund sind diese Signale auch an unterschiedlichen Speicherbereichen der als FIFO ausgebildeten Pufferspeicher zum Liegen gekommen. Um die 4 STM-1 Signale wieder zu einem STM-4 Signal umzusetzen, bedarf es eines zeitsynchronen Umsetzens, da nur in diesem Fall das STM-4 Signal sichergestellt ist.

In Fig. 3 ist eine Schaltungsanordnung offenbart, mit der die Wiederherstellung eines STM-4 Signals aus 4 STM-1 Signalen erreicht wird. Demgemäß sind 4 Schnittstelleneinrichtungen $P_0 \dots P_3$ aufgezeigt. Jede dieser 4 Schnittstelleneinrichtungen $P_0 \dots P_3$ dient empfangsseitig als Abschluß der Verbindungsleitung, über die jeweils das STM-1 Signal übertragen werden. Da die in den Steuerfeldern SOH, POH übertragenen Steuerdaten STM-1 spezifisch sind, müssen diese Informationen beim Umsetzen in ein STM-4 Signal ausgeblendet werden.

Eingangsseitig werden den 4 Schnittstelleneinrichtungen $P_0 \dots P_3$ die STM-1 Signale $Data_in0 \dots Data_in3$ zugeführt. Der Schnittstelleneinrichtung P_0 werden somit die STM-1 Signale $Data_in0$ zugeführt, der Schnittstelleneinrichtung P_1 die STM-1 Signale $Data_in1$ etc. Diese STM-1 Signale werden daraufhin überprüft, ob die ankommenden Informationen Nutzinformationen oder Steuerinformationen sind. Im Steuerfeld SOH wird ein Synchronisationswort mitübertragen, auf das sich der Rahmen jeweils aufsynchronisiert. Wird dieses Synchronwort empfangen, wird ein Signal $SOH_disable$ aktiviert und der betreffenden Schnittstelleneinrichtung zugeführt. Das 3. Wort im Steuerfeld SOH ist als Zeiger ausgebildet, das auf die Markierung J_1 zeigt. Wird dieser detektiert, wird ein Signal $POH_disable$ aktiviert und ebenfalls der betreffenden Schnittstelleneinrichtung zugeführt.

Weiterhin weist jede der 4 Schnittstelleneinrichtungen $P_0 \dots P_3$ einen zyklischen Ringspeicher R auf. Dieser ist als Speicher mit wahlfreiem Zugriff (RAM) ausgebildet und weist die Funktion eines FIFO-Speichers auf. Die Breite dieses Ringspeichers R beträgt in der Regel mit jeweils 1170 Byte die Hälfte eines Containers CON. Ferner ist auf jeder der Schnittstelleneinrichtungen jeweils ein Zähler AWC vorgesehen, in dem die die Nutzdatenbytes nach Maßgabe des Zustandes des Signals $SOH_disable$ gezählt werden. Wenn die beiden Signale $SOH_disable$, $POH_disable$ inaktiv sind, wird dieser Zählerstand ausgelesen und dem Ringspeicher R über ein Signal $Addr_in$ zugeführt. Zeitgleich hierzu wird ein Signal $Write_enable$ zugeführt. Der Zählerstand des Zählers AWC gibt somit die Speicheradresse im Ringspeicher R wieder, unter der die betreffenden Nutzdatenbytes abgespeichert werden. Ferner ist in jeder der 4 Schnittstelleneinrichtungen $P_0 \dots P_3$ ein Zähler PC vorgesehen, der bei Detektieren der Markierung J_1 um die eintreffenden Nutzdatenbytes inkrementiert wird. In einem weiteren Zähler ARC, der ebenfalls in jeder der 4 Schnittstelleneinrichtungen $P_0 \dots P_3$ angeordnet ist, wird nach Maßgabe des Zählerstandes der Zähler AWC, PC die Adresse des Ringspeichers R abgespeichert, unter der die Nutzdatenbytes wieder ausgelesen werden.

Als übergeordnete Einrichtungen der 4 Schnittstelleneinrichtungen $P_0 \dots P_3$ werden die Einrichtungen PD, RC verwendet. Bei ersterer handelt es sich um eine Überwachungs-

4

einrichtung, von der ermittelt wird, ob die Markierungen J_1 aller 4 Schnittstelleneinrichtungen $P_0 \dots P_3$ detektiert wurden. Bei der Einrichtung RC handelt es sich um eine übergeordnete Steuerlogik, die die Lesevorgänge steuert und überwacht.

Die Funktionsweise der Schaltung sei im folgenden kurz erläutert:

Die STM-1 Signale $Data_in0 \dots Data_in3$ werden von der betreffenden Schnittstelleneinrichtung übernommen. Ist das Signal $SOH_disable$ inaktiv, wird von dem Zähler AWC ein Signal $Write_enable$ aktiviert. Zeitgleich hierzu wird der Zähler AWC um die Anzahl der ankommenden Nutzdatenbytes inkrementiert. Der derart erhaltene Wert wird über ein Signal $Addr_in$ dem Ringspeicher R zugeführt und wird von diesem als Adresse interpretiert. Nach Maßgabe dieser Adresse werden die Daten $Data_in$ im Ringspeicher R abgelegt. Durch die Verknüpfung (ODER-Verknüpfung) der Signale $SOH_disable$, $POH_disable$ ($Write_enable$) werden ausschließlich Nutzdaten in den Ringspeicher R übernommen. Die in der Steuerfeldern SOH, POH gespeicherten Informationen werden damit ausgeblendet.

Bei Inbetriebnahme sind die Signale POH_J_1 aller Schnittstelleneinrichtungen $P_0 \dots P_3$ auf "0" gesetzt. Wird das Signalisierungssignal für die Markierung J_1 der betreffenden Schnittstelleneinrichtung detektiert, wird der Zähler PC durch das Signal $POH_disable$ gestartet. Das Signal POH_J_1 der entsprechenden Schnittstelleneinrichtung wird dann auf logisch "1" (HIGH) gesetzt. Solange das Signal POH_J_1 den Zustand logisch "1" einnimmt, werden die Nutzdatenbytes gezählt. Sind die Markierungen J_1 von allen Schnittstelleneinrichtungen $P_0 \dots P_3$ empfangen worden, sind dann alle Signale POH_J_1 auf logisch "1" gesetzt. Dadurch werden von der Überwachungseinrichtung PD logische Verknüpfungsoperationen veranlaßt sowie die Differenz der Zählerstände AWC und PC gebildet, um 1 vermindert und in den Zähler ARC geladen. Von der Überwachungseinrichtung PD werden nun alle Signale POH_J_1 für den nächsten Zyklus auf 0 gesetzt. Ferner wird bei Gleichheit der Zählerstände der Zähler AWC und ARC der Lesevorgang in allen Schnittstelleneinrichtungen gestoppt und ein Signal $Disable_read$ generiert, weil auf mindestens einer der Schnittstelleneinrichtungen $P_0 \dots P_3$ keine Nutzdaten im Ringspeicher R vorhanden sind.

Im Detail wird folgendermaßen vorgegangen:

Es werden die Zählerstände der Zähler AWC und PC ermittelt. Die Differenz beider Zählerstände wird um 1 vermindert und das Ergebnis in den Zähler ARC gespeichert. In dem Moment, wo alle Markierungen J_1 eingetroffen sind, ist damit im Zähler PC die relative Laufzeitdifferenz der STM-1 Signale zu dem zuletzt eingetroffenen STM-1 Signale gegeben.

Die Zähler ARC aller Schnittstelleneinrichtungen werden nun angestoßen, den Inhalt dem Ringspeicher R über jeweils ein Signal $Addr_out$ zu übergeben. Von diesem wird dieser Wert als Adresse interpretiert. Die unter dieser Adresse gespeicherten Daten werden ausgelesen und als Ausgangsdaten $Data_out$ als STM-4 Signal weitergeleitet.

Die entsprechenden Verhältnisse sind in Fig. 4 wiedergegeben. Demgemäß sind die 4 zyklischen Ringspeicher R der 4 Schnittstelleneinrichtungen $R(P_0) \dots R(P_3)$ aufgezeigt. Als letzte Markierung soll beispielhaft die Markierung J_1 der Schnittstelleneinrichtungen P_1 eingetroffen sein. Alle Zähler werden nun angehalten. Im folgenden wird nun die relative Adresse zu den Markierungen J_1 , die in den verbleibenden 3 Schnittstelleneinrichtungen gespeichert sind, gebildet. Im Falle der Schnittstelleneinrichtungen $R(P_0)$ beträgt die Differenz 6 Nutzdatenbytes. Im Falle der Schnittstelleneinrichtung P_2 beträgt die Differenz 8 Nutzdatenbytes.

DE 199 03 366 A 1

5

6

tes, und im Falle der Schnittstelleneinrichtung P_3 befragt die Differenz 17 Nutzdatenbytes. Unter Anstoß der übergeordneten Logikeinrichtung RC werden die Nutzdaten ausgelesen und einem STM-4 Framer FR zugeführt, der aus den 4 STM-1 Signalen 1 STM-4 Signal regeneriert.

Voraussetzung für dieses Verfahren ist, daß die Markierungen J_1 aller STM-1 Signale innerhalb einer halben VC-4 Periode eintreffen. Die entsprechenden Verhältnisse sind in Fig. 2 für das Beispiel von 4 STM-1 Signalen aufgezeigt. Die Markierungen J_1 kommen innerhalb der VC-4 Periode zum Liegen. Aus diesem Grund können sich die Schnittstellenschaltungen ohne zusätzliche Signalauswertung synchronisieren. Beispielsweise soll wie bei Fig. 2 beschrieben – die Markierung J_1 des Rahmens F_3 der Schnittstelleneinrichtung P_3 zuerst eintreffen. Der Zähler PC wird dann gestartet und zählt bis 1170 hoch. Werden bis dahin keine weitere Markierungen J_1 der verbleibenden Container CON detektiert, werden alle Zähler PC und alle Signale POH J_1 zurückgesetzt und beim nächsten Zyklus beginnt die Synchronisierung wieder ordnungsgemäß mit der Markierung J_1 des Rahmens F_1 .

Gemäß vorliegendem Ausführungsbeispiel wurde davon ausgegangen, daß die Größe der Laufzeitunterschiede kleiner als die halbe Containerperiode eines virtuellen VC-4 Containers ist. Aber auch Laufzeitunterschiede, die größer als die halbe Containerperiode eines virtuellen VC-4 Containers sind, können mit einer Modifizierung des Verfahrens behandelt werden.

Die Schnittstelleneinrichtung gemäß Fig. 3 kann sich trotzdem synchronisieren, wenn die Nutzdaten im Container strukturiert sind. In diesem Fall muß der Ringspeicher R entsprechend der am größten zu erwartenden Verzögerung vergrößert werden. Die entsprechenden Verhältnisse sind in Fig. 5 aufgezeigt. Dies ist beispielsweise der Fall, wenn die Nutzdaten aus ATM-Zellen, Frame Relay oder TCP/IP Daten bestehen. Bei derartigen Übertragungsformaten kann die Synchronisierung durchgeführt werden, weil eine fehlerfreie Übertragung durch das Steuerfeld SOH detektiert wird und in diesem Fall der Header der Zelle durch eine zusätzliche, dem Übertragungsformat entsprechende Payload Synchronisierungsschaltung detektiert und ausgewertet wird. Die Synchronisierungsschaltung ist in Fig. 5 mit HSC bezeichnet. Die Synchronisierung kann dadurch wiederhergestellt werden, indem die Pointer von 2 oder mehreren VC-4 Containern (dies sind im Falle von STM-4 4 Pointer) solange kombiniert werden, bis die Payload Synchronisierungsschaltung HSC einrastet. Hierbei kann die Kombination aus einer einfachen Addition von 2340 Bytes in den Zähler ARC – angestoßen durch eine Einrichtung J_1 CL (J_1 Combine Logik) – erfolgen, da bei Auffinden mehrere Markierungen J_1 nicht sicher festgestellt werden kann, zu welchem Rahmen diese Markierung gehört. Die Differenz zwischen 2 Markierungen J_1 derselben Schnittstelleneinrichtung beträgt 2340 Nutzdatenbytes. Nach Einrasten der Payload Synchronisierungsschaltung HSC findet keine Kombination der Markierungen J_1 statt, weil gemäß dem SDH Standard nur 3 Byte Sprünge erlaubt sind, es sei denn, das System wird erneut initialisiert.

Mehrzahl (N) von jeweils einen Speicher (R) aufweisende Schnittstelleneinrichtungen ($P_0 \dots P_N$), die der Aufnahme der Mehrzahl (N) von STM-1 Signalen ($\text{Data_in0} \dots \text{Data_inN}$) dienlich sind, dadurch gekennzeichnet, daß die Nutzdaten der Mehrzahl (N) von STM-1 Signalen in den Speicher (R) der jeweils zugeordneten Schnittstelleneinrichtung ($P_0 \dots P_N$) unter einer, der Anzahl der eingetroffenen Nutzdaten entsprechenden Schreibadresse in einer zyklischen Reihenfolge abgelegt werden, daß eine relative Adresse, ausgehend von der zuletzt eingetroffenen Markierung (J_1) zu den bis dahin eingetroffenen Markierungen (J_1) gebildet wird, und daß unter der derart gebildeten relativen Adresse die Nutzdaten den Speichern (R) der jeweils zugeordneten Schnittstelleneinrichtung ($P_0 \dots P_N$) in derselben zyklischen Reihenfolge wie beim Schreibvorgang wieder entnommen und als Ausgangsdaten ($\text{Data_out0} \dots \text{Data_outN}$) einem STM-N Framer (FR) zugeführt werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Schreibadresse im Speicher (R) durch Inkrementieren nach Maßgabe der Anzahl der eingetroffenen Nutzdaten in einer ersten Zähleinrichtung (AWC) gebildet wird, bis das erste Steuerfeld (SOH) oder das zweite Steuerfeld (POH) detektiert wird, und der Zählerstand der ersten Zähleinrichtung (AWC) dem Speicher (R) übergeben wird.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Nutzdaten in einer zweiten Zähleinrichtung (PC) von dem Moment an gezählt werden, wo das zweite Steuerfeld (POH) detektiert wird bis zu dem Zeitpunkt, wo alle Markierungen (J_1) eingetroffen sind, und anschließend die Differenz der Zählerstände der ersten und zweiten Zähleinrichtung (AWC, PC) gebildet wird, die noch um 1 vermindert wird, und der derart berechnete Wert als Leseadresse einer dritten Zähleinrichtung (ARC) übergeben wird, unter der die im Speicher (R) gespeicherten Nutzdaten entnommen werden.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der Speicher (R) als zyklischer Ringspeicher mit wahlfreiem Zugriff ausgebildet ist.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Synchronisierung der Schnittstelleneinrichtungen ($P_0 \dots P_N$) innerhalb der halben Periode eines VC-4 Containers (CON) erfolgt.

6. Verfahren nach einem Anspruch 1 bis 4, dadurch gekennzeichnet, daß die Synchronisierung der Schnittstelleneinrichtungen ($P_0 \dots P_N$) außerhalb der halben Periode eines VC-4 Containers (CON) erfolgt, indem eine Kombination der Pointer von wenigstens 2 VC-4 Containern solange vorgenommen wird, bis eine, den Schnittstelleneinrichtungen ($P_0 \dots P_N$) nachgeschaltete, strukturierte Nutzdaten ermittelnde Synchronisierungsschaltung (HSC) einrastet.

Hierzu 5 Seite(n) Zeichnungen

Patentansprüche

60

1. Verfahren zum Umsetzen von NxSTM-1 Signalen in STM-N Signale, mit einer Mehrzahl (N) von STM-1 Signalen ($\text{Data_in0} \dots \text{Data_inN}$), die jeweils ein erstes und zweites Steuerfeld (SOH, POH) sowie ein aus mit Nutzdaten gefülltes Nutzdatenfeld (CON) aufweisen, dessen Beginn durch eine Markierung (J_1) definiert wird, und mit einer

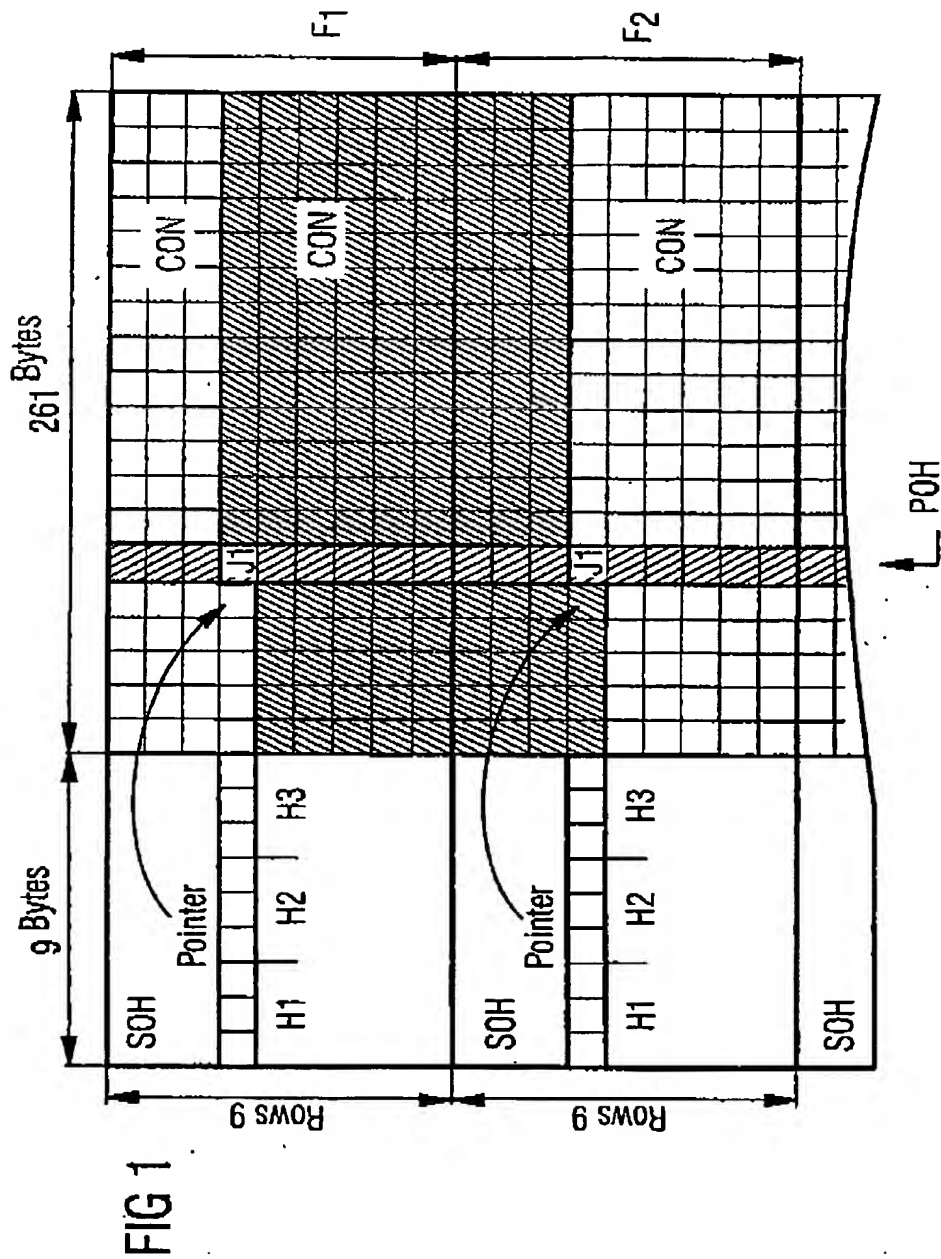
65

JUN. 2. 2006 4:14PM

+1-212-319-5101 customer 01933

NO. 3725 P. 13

- Leerseite -



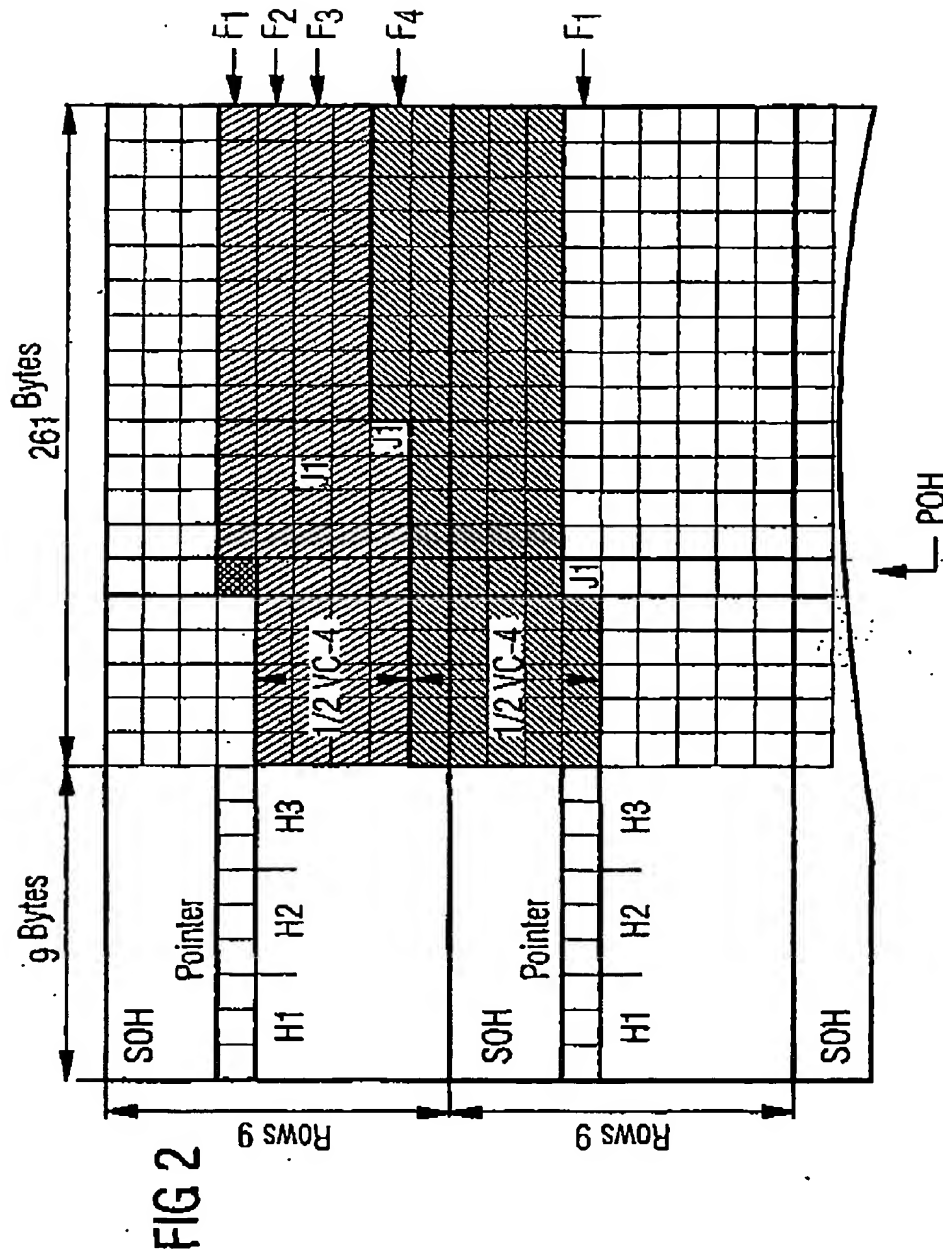


FIG 3

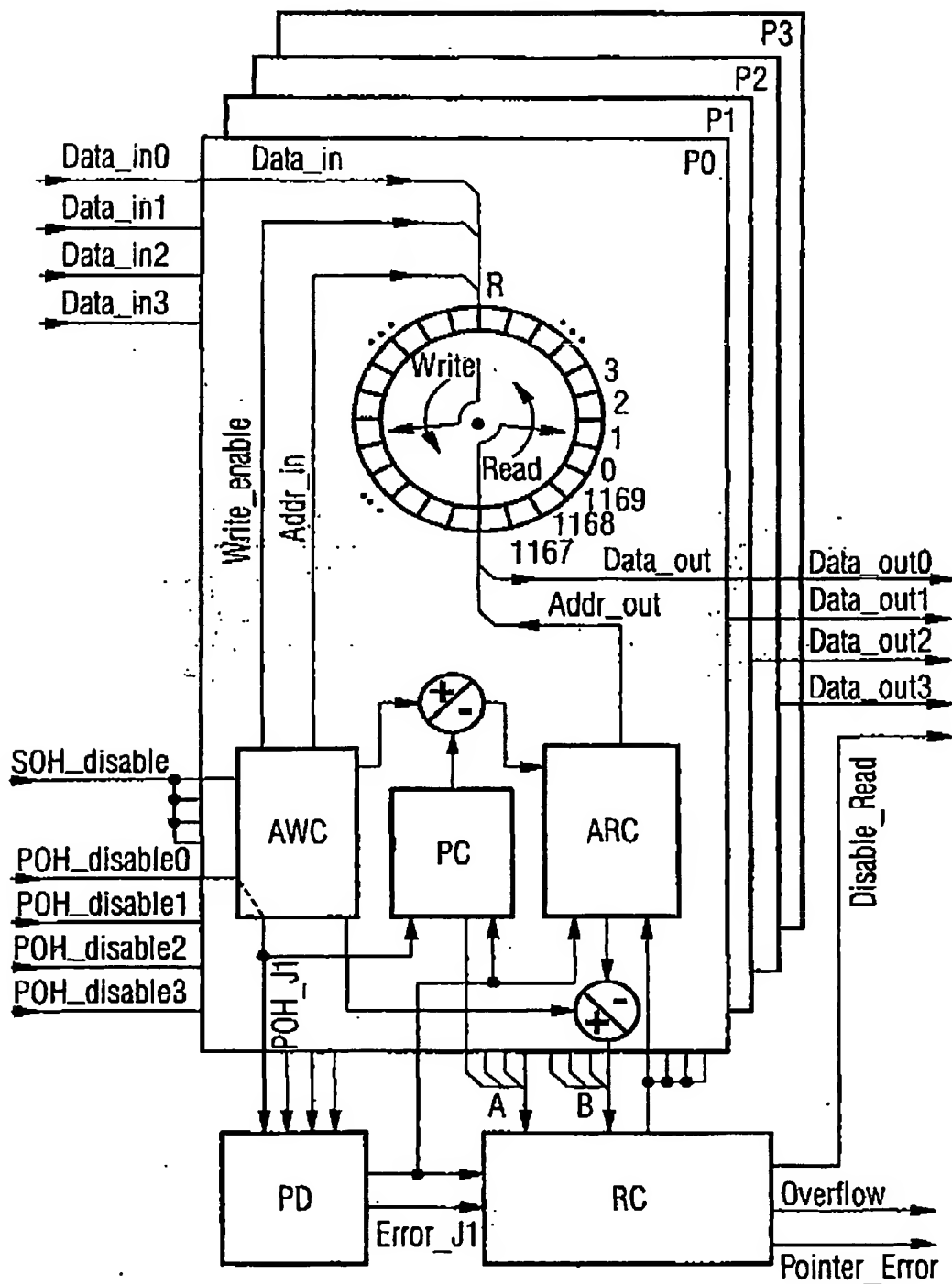
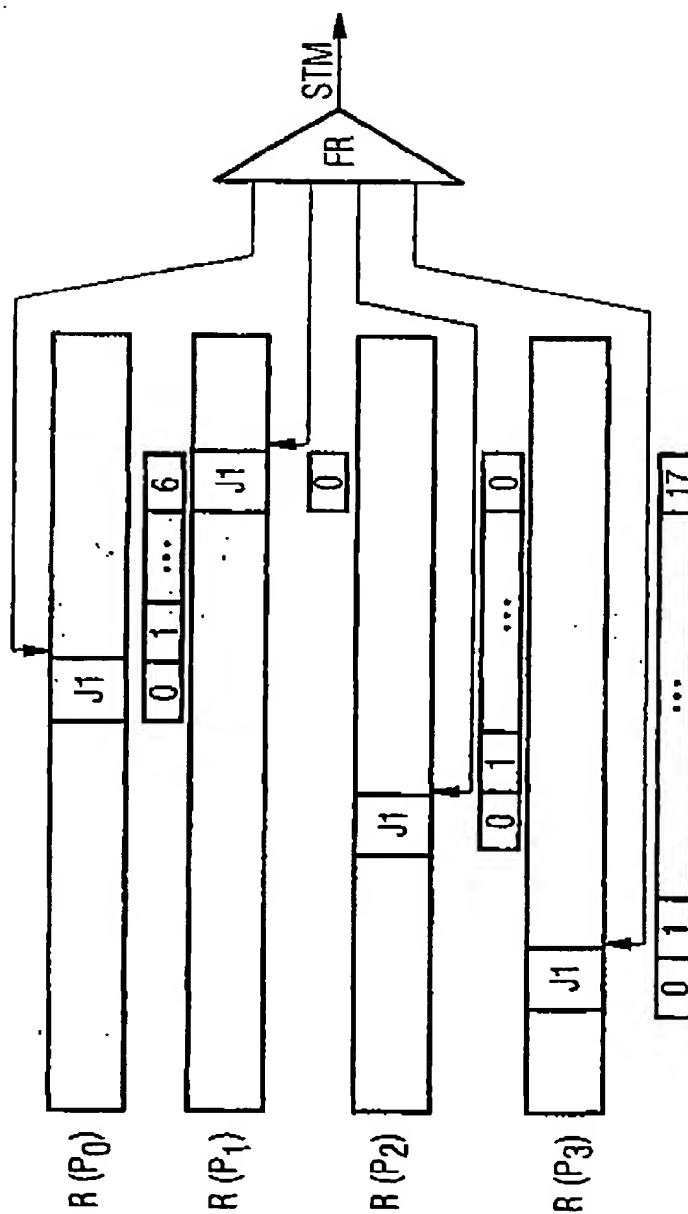


FIG 4



The diagram illustrates the J1CL system architecture. It features a central processing unit with several internal blocks: AWC (Address Word Counter), PC (Program Counter), ARC (Address Register Counter), and a circular register with 'Write' and 'Read' pointers. The system has multiple data inputs (Data_in0 to Data_in3) and outputs (Data_out0 to Data_out3). It also includes a PD (Program Decoder) and an RC (Register Counter) block. Various control signals like SOH_disable, POH_disable0 to POH_disable3, and Error_J1 are shown. The system is connected to an HSC (Host System Controller) and a J1CL (J1 Control Logic) block. The diagram is labeled with P0, P1, P2, and P3, likely representing different processing stages or data paths.

PAGE 18/65 * RCVD AT 6/2/2006 4:04:00 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/44 * DNIS:2738300 * CSID:+1 212 319 5101 * DURATION (mm-ss):18-10

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☒ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.